

Spis treści

Wykaz skrótów.....	9
Przedmowa.....	11
Wstęp	13
1. Wprowadzenie do języka Verilog.....	17
1.1. Historia języka Verilog.....	17
1.2. Pierwszy projekt w języku Verilog	18
1.2.1. Opis projektu	18
1.2.2. Symulacja projektu.....	24
1.3. Podstawowe elementy języka Verilog	26
1.3.1. Słowa kluczowe.....	26
1.3.2. Identyfikatory.....	28
1.3.3. Białe znaki	29
1.3.4. Komentarze	29
1.4. Sygnały, sieci, sterowniki	29
1.4.1. Wartości logiczne	30
1.4.2. Moc logiczna sygnałów.....	30
1.5. Liczby	31
1.5.1. Reprezentacja liczb całkowitych.....	31
1.5.2. Reprezentacja liczb rzeczywistych	33
1.6. Równoległość języka Verilog	33
2. Moduły.....	35
2.1. Definicje modułów	35
2.2. Elementy modułów	36
2.3. Deklaracja portów	37
2.4. Instancje modułów	39
2.5. Parametry	42
2.6. Niejawne przekazywanie parametrów	45
2.7. Tablice instancji modułów.....	45

2.8. Hierarchia modułów i zmiennych.....	48
2.9. Obszary hierarchii i zakresy widoczności zmiennych.....	49
3. Prymitywy i moduły biblioteczne	51
3.1. Gdzie można znaleźć gotowe rozwiązanie	51
3.2. Prymitywy języka Verilog	52
3.3. Prymitywy definiowane przez użytkownika.....	56
4. Typy danych	61
4.1. Dwie klasy typów danych	61
4.2. Sieciowe typy danych	61
4.3. Znaczenie sygnałów sieci	64
4.4. Zmienne typy danych	67
4.5. Inne typy danych	68
4.5.1. Parametry	68
4.5.2. Parametry lokalne	69
4.5.3. Parametry bloku specyfikacji.....	69
4.5.4. Zmienne generacji.....	69
4.5.5. Typ danych zdarzenie	70
4.5.6. Łącuchy znaków	70
4.6. Wybór bitów i pól bitowych	71
4.7. Wybór elementów tablicy i pól bitowych elementów tablicy	72
4.8. Deklaracja pamięci.....	73
5. Operatory	75
5.1. Operatory języka Verilog.....	75
5.2. Operatory bitowe.....	75
5.3. Operatory redukcji.....	77
5.4. Operatory logiczne.....	80
5.5. Operatory relacji.....	82
5.6. Operatory identyczności	83
5.7. Operatory arytmetyczne.....	84
5.8. Operatory różne.....	84
5.9. Wykonywanie operacji.....	86
5.10. Priorytety operatorów.....	87
5.11. Rozmiar wyrażeń bitowych.....	88
6. Operator przypisania ciągłego assign	89
6.1. Przypisania w języku Verilog	89
6.2. Formaty operatora przypisania ciągłego	89

6.3. Wykorzystanie operatora przypisania ciągłego	91
7. Operatory i bloki proceduralne	95
7.1. Operatory proceduralne <i>initial</i> i <i>always</i> , bloki proceduralne	95
7.2. Operatory <i>begin-end</i> i <i>fork-join</i>	95
7.3. Nazwane bloki proceduralne	96
7.4. Format bloków proceduralnych	97
8. Zarządzanie czasem	101
8.1. Operator opóźnienia <i>#</i>	101
8.2. Operator czułości <i>@</i>	101
8.3. Operator oczekiwania <i>wait</i>	102
8.4. Lista czułości	103
8.5. Lista czułości w układach kombinacyjnych	104
8.6. Lista czułości w układach sekwencyjnych	106
9. Operatory przypisania	109
9.1. Cechy wspólne	109
9.2. Operator przypisania blokującego „=”	110
9.2.1. Składnia	110
9.2.2. Zarządzanie czasem	113
9.2.3. Opóźnienie wewnętrzne	115
9.2.4. Cechy syntezy	117
9.3. Operator przypisania nieblokującego „<=”	118
9.3.1. Składnia	118
9.3.2. Zarządzanie czasem	119
9.3.3. Opóźnienie wewnętrzne	121
9.3.4. Cechy syntezy	122
9.4. Zarządzanie czasem w operatorach proceduralnych podczas symulacji	124
9.5. Operatory proceduralne <i>assign</i> i <i>deassign</i>	128
9.6. Operatory proceduralne <i>force</i> i <i>release</i>	129
10. Operatory programowania strukturalnego	133
10.1. Cechy wspólne	133
10.2. Operator <i>if-else</i>	133
10.3. Operator <i>case</i>	138
10.4. Operatory <i>casez</i> i <i>casex</i>	141
10.5. Operator <i>for</i>	143
10.6. Operator <i>while</i>	146
10.7. Operator <i>repeat</i>	147

10.8. Operator <i>forever</i>	148
10.9. Operator <i>disable</i>	149
10.10. Różnice pomiędzy operatorami <i>wait</i> i <i>while</i>	150
11. Atrybuty	153
11.1. Atrybuty w języku Verilog.....	153
11.2. Atrybut <i>full_case</i>	154
11.3. Atrybut <i>parallel_case</i>	155
12. Bloki generacji	161
12.1. Bloki generacji języka Verilog.....	161
12.2. Składnia bloku generacji.....	161
12.3. Operatory generacji	162
12.3.1. Grupa elementów generacji	162
12.3.2. Operator <i>if-else</i>	163
12.3.3. Operator <i>case</i>	164
12.3.4. Operator <i>for</i>	165
13. Procedury i funkcje.....	167
13.1. Procedury i funkcje w języku Verilog.....	167
13.2. Dynamiczne i statyczne procedury i funkcje.....	167
13.3. Procedury	168
13.4. Funkcje.....	170
13.5. Funkcje stałe.....	172
13.6. Porównanie funkcji i procedur	175
14. Procedury i funkcje systemowe.....	177
14.1. Systemowe procedury i funkcje w języku Verilog.....	177
14.2. Systemowe procedury do obsługi tekstu	177
14.3. Systemowe procedury i funkcje do pracy z plikami	179
14.3.1. Otwieranie i zamykanie plików	179
14.3.2. Zapis do pliku	180
14.3.3. Inne funkcje do pracy na plikach.....	181
14.4. Inne systemowe procedury i funkcje	182
14.4.1. Zarządzanie procesem symulacji	182
14.4.2. Zarządzanie czasem symulacji.....	182
14.4.3. Zmiana wielkości ze znakiem i bez znaku	183
14.4.4. Zapis i odczyt zmiennych z rejestrów.....	183
14.4.5. Ładowanie zawartości pamięci	184

14.4.6. Konwersja zmiennych typu <i>real</i> na wektor 64-bitowy	184
14.4.7. Funkcje do pracy z wierszem poleceń	185
15. Dyrektywy kompilatora.....	187
15.1. Dyrektywy kompilatora w języku Verilog.....	187
15.2. Określenie wartości jednostki czasu	187
15.3. Makra	188
15.4. Dyrektywy kompilacji warunkowej	189
15.5. Załączenie plików	189
15.6. Określenie domyślnego typu sieciowego.....	190
15.7. Określenie wartości logicznych dla niepodłączonych wejść.....	190
15.8. Określenie wykorzystywanych bibliotek	190
16. Bloki specyfikacji.....	193
16.1. Bloki specyfikacji w języku Verilog.....	193
16.2. Filtrowanie impulsów	196
16.3. Test ograniczeń czasowych.....	197
17. Konfiguracja projektu	199
17.1. Konfiguracje	199
17.2. Bloki konfiguracyjne	199
17.3. Pliki biblioteczne	201
17.4. Przykłady konfiguracji projektów	201
17.4.1. Kod źródłowy projektu.....	201
17.4.2. Wykorzystanie konfiguracji zawartej w plikach bibliotecznych	203
17.4.3. Wykorzystanie operatora <i>default</i>	203
17.4.4. Wykorzystanie operatora <i>cell</i>	204
17.4.5. Wykorzystanie operatora <i>instance</i>	204
17.4.6. Wykorzystanie konfiguracji hierarchicznej	204
18. Syntezowalne konstrukcje języka Verilog	207
18.1. Cechy wspólne	207
18.2. Konstrukcje języka Verilog wspierane przez środowisko Quartus	209
Podsumowanie.....	215
Bibliografia	217
Spis tabel.....	219
Spis rysunków	221
Streszczenie	225
Abstract.....	227