

SPIS TREŚCI

1. WSTĘP	11
2. WPROWADZENIE	15
2.1. Podstawowe układy komputerów	15
2.2. Poziomy opisu organizacji komputerów	22
2.3. Modele w opisie organizacji komputerów	25
3. KLASYFIKACJA MODELI I MECHANIZMÓW RÓWNOLEGŁOŚCI W ARCHITEKTURZE KOMPUTERÓW	27
3.1. Formy równoległości wyróżniane w programach	27
3.2. Modele równoległości wyróżniane w architekturze komputerów	28
3.2.1. Klasyfikacja Flynna	28
3.2.2. Klasyfikacja modeli równoległości w architekturze komputerów uwzględniająca wykorzystanie równoległości w programach.....	29
4. PODSTAWY ARCHITEKTURY WSPÓŁCZESNYCH PROCESORÓW: CISC ORAZ RISC	41
4.1. Architektura CISC	41
4.2. Architektura RISC	43
4.2.1. Procesor RISC I	44
4.2.2. Procesor MIPS	46
4.2.3. Mikroarchitektura procesora MIPS – wersja niepotokowa	49
4.3. Podsumowanie architektury RISC – architektura RISC-V	55
5. POTOKOWE WYKONYWANIE ROZKAZÓW – PODSTAWY RÓWNOLEGŁOŚCI POZIOMU ROZKAZÓW	58
5.1. Koncepcja przetwarzania potokowego	58
5.2. Mikroarchitektura procesora MIPS o organizacji potokowej	62
5.3. Model czterostopniowej potokowej mikroarchitektury procesora	66
5.4. Problemy z potokową realizacją rozkazów o zależnych argumentach – hazard danych i jego unikanie	69
5.4.1. Wstrzymanie napełniania potoku	70

5.4.2. Wyprzedzające pobranie argumentu	71
5.4.3. Eliminacja hazardu danych na etapie kompilacji programu	75
5.4.4. Hazard danych dla rozkazów zmiennoprzecinkowych	76
5.5. Rozwijanie pętli.....	78
5.6. Hazard zasobów.....	82
5.7. Hazard sterowania	83
5.8. Podsumowanie.....	89
6. PROCESORY SUPERSKALARNE	90
6.1. Organizacja procesorów superskalarnych – uwagi ogólne	91
6.2. Hazard danych w procesorach superskalarnych.....	96
6.3. Przemianowanie rejestrów.....	98
6.3.1. Model przemianowania rejestrów oparty na algorytmie Tomasulo	100
6.3.2. Rozszerzenie modelu o rozkazy LOAD i STORE	112
6.4. Bufor zmiany kolejności – zatwierdzanie rozkazów.....	118
6.5. Realizacja i zatwierdzanie rozkazów arytmetycznych.....	123
6.5.1. Komentarze do etapów wykonania rozkazów arytmetycznych	124
6.5.2. Przykład realizacji i zatwierdzania fragmentu programu.....	127
6.6. Realizacja i zatwierdzanie rozkazów LOAD i STORE.....	133
6.7. Realizacja i zatwierdzanie rozkazów rozgałęzień.....	138
6.8. Nowy model przemianowania rejestrów	142
6.8.1. Wykorzystanie dodatkowego zestawu rejestrów w procesie przemianowania	144
6.8.2. Przykład przemianowania fragmentu programu	149
6.9. Podsumowanie realizacji rozkazów w procesorach superskalarnych	158
7. PRZEWIDYWANIE ROZGAŁĘZIEŃ.....	161
7.1. Statyczne strategie przewidywania rozgałęzień.....	163
7.2. Dynamiczne strategie przewidywania rozgałęzień	164
7.2.1. Realizacja tablicy historii rozgałęzień.....	166
7.2.2. Dwupoziomowe predyktory rozgałęzień.....	171
7.2.3. Predyktor turniejowy	188
7.2.4. Predyktor TAGE.....	191
7.2.5. Neuronowe predyktory rozgałęzień	199
7.3. Przewidywanie docelowych adresów rozgałęzień	208
7.4. Dodatkowe układy wspomagające przewidywanie wykonania skoków.....	211
7.5. Eliminacja rozgałęzień przez rozkazy predykowane (uwarunkowane)	216
7.6. Podsumowanie przewidywania rozgałęzień.....	221

8. SPRZĘTOWE STEROWANIE WIELOWĄTKOWOŚCIĄ	
W PROCESORACH SUPERSKALARNYCH	223
8.1. Wprowadzenie	223
8.2. Metody sprzętowego sterowania przełączaniem wątków	228
8.2.1. Wielowątkowość drobnoziarnista	228
8.2.2. Wielowątkowość gruboziarnista	230
8.2.3. Wielowątkowość jednoczesna	232
8.3. Przykłady implementacji sprzętowego sterowania wielowątkowością	234
8.3.1. Wielowątkowość jednoczesna w procesorach firmy Intel	234
8.3.2. Wielowątkowość w procesorach firmy IBM	236
8.4. Podsumowanie wielowątkowości	238
9. ARCHITEKTURA VLIW – PROCESORY Z BARDZO DŁUGIM	
SŁOWEM ROZKAZOWYM	240
9.1. Koncepcja architektury VLIW	240
9.2. Wybrane przykłady procesorów VLIW	244
9.3. Architektura EPIC	250
9.4. Procesory Itanium	251
9.4.1. Wyodrębnianie grup i organizacja długich rozkazów	252
9.4.2. Predykcja	254
9.4.3. Spekulatywne odwołania do pamięci	255
9.4.4. Stos rejestrów	260
9.5. Architektura VLIW – podsumowanie	262
10. PODSUMOWANIE	263
DODATKI	
A. Przykład rozwijania pętli	275
B. Przykłady architektury wybranych procesorów superskalarnych	280
B.1. Wybrane procesory firmy Intel	280
B.1.1. Mikroarchitektura Nehalem	281
B.1.2. Mikroarchitektura Sandy Bridge	289
B.1.3. Mikroarchitektury Haswell oraz Broadwell	294
B.1.4. Mikroarchitektura Skylake	296
B.1.5. Porównanie analizowanych architektur procesorów firmy Intel	301
B.2. Wybrane procesory firmy IBM	304
B.2.1. Mikroarchitektura procesora IBM POWER7	305

B.2.2. Mikroarchitektura procesora IBM POWER8	312
B.2.3. Mikroarchitektura procesora IBM POWER9	318
B.3. Podsumowanie – ocena równoległości poziomu rozkazów w omawianych procesorach	326
BIBLIOGRAFIA	328
LIST OF DRAWINGS	340
SKOROWIDZ	347
Streszczenie	351